



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11338416 A**(43) Date of publication of application: **10.12.99**

(51) Int. Cl.

G09G 3/28
G09G 3/20
(21) Application number: **10139385**(22) Date of filing: **21.05.98**(71) Applicant: **FUJITSU LTD**(72) Inventor: **AWAMOTO KENJI**(54) **DRIVING METHOD OF PLASMA DISPLAY PANEL**

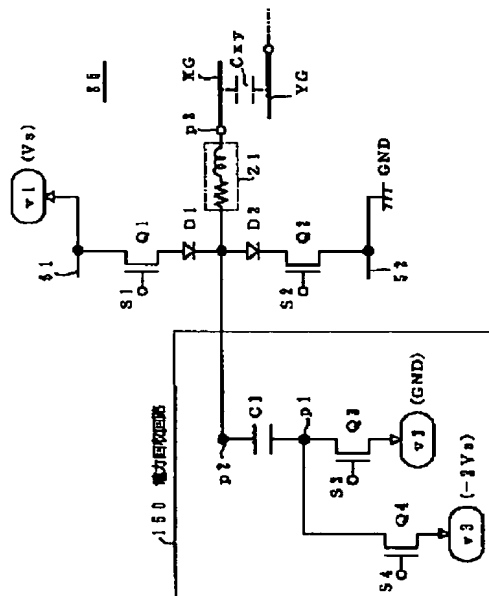
(57) Abstract:

PROBLEM TO BE SOLVED: To execute stable power recovery despite of patterns of voltage application on plural cells, and to thereby reduce consumption of electricity, by making an electric potential of an electrode shift at high speed without using an inductor.

SOLUTION: A first terminal p2 of a capacity element C1 for power recovery is connected to an electrode XG, and a second terminal p1 of the capacity element C1 is fixed temporarily to such an electric potential v3 that its potential is lower than that of a second potential line 52 and that the potential difference between it and the second potential line 52 is larger than the potential difference Vs between a first potential line 51 and the second potential line 52, to thereby execute power recovery. Also, the first terminal p2 of the capacity element C1 in a charging state is connected to the electrode XG, and the electric potential of the second terminal p1 is fixed temporarily so that the electric potential of the first terminal p2 will become higher

than the first potential line 51, to thereby charge a cell.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-338416

(43)公開日 平成11年(1999)12月10日

(51)Int.Cl.⁶G 0 9 G 3/28
3/20

識別記号

6 2 1

F I

G 0 9 G 3/28
3/20

J

6 2 1 G

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21)出願番号

特願平10-139385

(22)出願日

平成10年(1998)5月21日

(71)出願人

000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者

栗本 健司

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人

弁理士 久保 幸雄

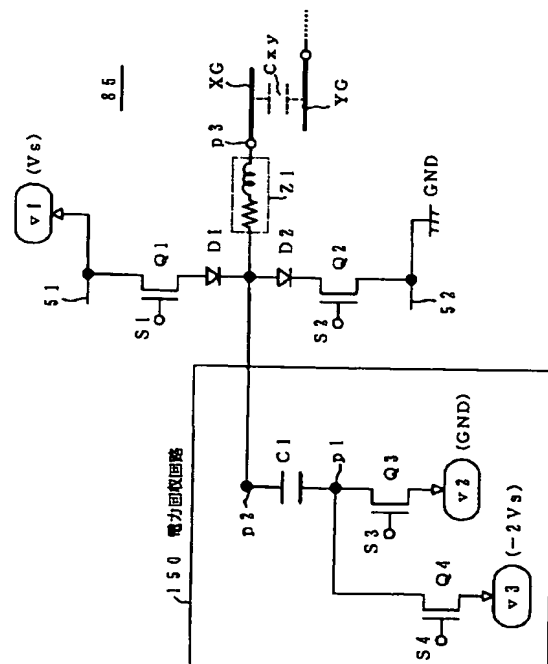
(54)【発明の名称】 プラズマディスプレイパネルの駆動方法

(57)【要約】

【課題】 インダクタを用いずに高速に電極の電位を推移させ、複数のセルに対する電圧印加のパターンに係わらず安定した電力回収を行って消費電力を低減することを目的とする。

【解決手段】 電力回収用の容量素子C1の第1端子p2を電極XGに接続するとともに、当該容量素子C1の第2端子p1を、第2電位ライン52より低く且つ第2電位ライン52と電位差が第1電位ライン51と第2電位ライン52との電位差 V_s より大きい電位 v_3 に一時的に固定することによって電力回収を行い、充電状態の容量素子C1の第1端子p2を電極XGに接続するとともに、第1端子の電位が第1電位ライン51よりも高くなるように第2端子p1の電位を一時的に固定することによってセルの充電を行う。

本発明に係る回路構成の第1例を示す図



【特許請求の範囲】

【請求項1】画面を構成するセルでガス放電を生じさせるための電極と第1電位ラインとの間及び前記電極と第2電位ラインとの間にそれぞれ開閉回路を設け、これら開閉回路の開閉によってガス放電を制御し、前記電極と前記第1電位ラインとの接続に先立って電力回収用の容量素子から前記セルへ電荷を移動させる充電を行い、前記電極と前記第2電位ラインとの接続に先立って前記セルから前記容量素子へ電荷を移動させる電力回収を行うプラズマディスプレイパネルの駆動方法であって、前記容量素子の第1端子を前記電極に接続するとともに、当該容量素子の第2端子を、前記第2電位ラインより低く且つ当該第2電位ラインと電位差が前記第1電位ラインと当該第2電位ラインとの電位差より大きい電位に一時的に固定することによって前記電力回収を行い、充電状態の前記容量素子の第1端子を前記電極に接続するとともに、当該第1端子の電位が前記第1電位ラインよりも高くなるように前記第2端子の電位を一時的に固定することによって前記充電を行うことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】前記充電に伴って前記容量素子の端子間電圧が設定値以下に低下するように当該容量素子のキャパシタンスを選定する請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】前記充電の終了後に前記第1端子を一時的に電源と接続し、当該第1端子の電位を前記第2電位ラインと同一化する請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項4】前記電極は、行単位のアドレッシングに際して各列におけるガス放電の有無を設定するためのデータ電極である請求項1乃至請求項3のいずれかに記載のプラズマディスプレイパネルの駆動方法。

【請求項5】前記画面を行方向に複数の領域に区画し、当該各領域毎に前記開閉回路及び前記容量素子を設ける請求項4記載のプラズマディスプレイパネルの駆動方法。

【請求項6】前記電極は、交番極性の電圧印加によって点灯状態を維持するための維持電極である請求項1乃至請求項3のいずれかに記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス表示形式のPDP（プラズマディスプレイパネル）の駆動方法に関する。

【0002】PDPは、カラー画面の実用化を機にテレビジョン映像やコンピュータのモニターなどの民生用途でも広く用いられるようになってきた。PDPにおいては、駆動周波数を高めて発光周期を短くすることによって画面をより明るくすることができる。しかし、PDP

の画面を構成するセルは電源からみて容量性の負荷であるので、電極電位の変化に伴って容量の充放電が生じる。この充放電における電荷の移動は発光に寄与しない無効電流である。駆動周波数を高めると無効電力は増加してしまう。したがって、消費電力を低減するには、充電に費やした電力を効率的に再利用する必要がある。

【0003】

【従来の技術】カラー表示デバイスとして3電極面放電構造のAC型PDPが商品化されている。これは、マトリクス表示のライン（行）毎に点灯維持のための一対の主電極（第1及び第2の電極）が配置され、列毎にアドレス電極（第3の電極）が配置されたものである。表示に際しては、主電極を覆う誘電体層のメモリ機能が利用される。すなわち、ライン走査形式で表示内容に応じた帯電状態を形成するアドレッシングを行った後、各ラインの主電極対に対して一斉に交番極性の点灯維持電圧 V_s を印加する。点灯維持電圧 V_s は（1）式を満たす。

$$【0004】 V_f - V_{wall} < V_s < V_f \quad \dots (1)$$

V_f : 放電開始電圧

20 V_{wall} : 壁電圧

点灯維持電圧 V_s の印加により、壁電荷の存在するセルのみに於いて実効電圧（セル電圧ともいう） V_{eff} が放電開始電圧 V_f を越えて基板面に沿った面放電が生じる。点灯維持電圧 V_s の印加周期を短くすれば、見かけの上で連続した点灯状態が得られる。

【0005】図15は従来の駆動装置の要部の回路図、図16は従来の駆動方法の信号波形図である。図15

30 (A)のように、第1の主電極 X_j の電位は、電源ラインと接地ラインとの間に直列接続されたスイッチングデバイス Q_{91} 、 Q_{92} のオンオフによって制御される。第2の主電極 Y_j についても同様に、その電位は一対のスイッチングデバイス $Q_{91'}$ 、 $Q_{92'}$ のオンオフによって制御される。主電極 X_j 及び主電極 Y_j にはそれぞれ電力回収回路 95 、 $95'$ が設けられる。電力回収回路 95 、 $95'$ の構成は同一である。

40 【0006】従来の電力回収回路 95 は、キャパシタ C_{91} 、インダクタ L_{91} 、逆流防止用ダイオード D_{91} 、 D_{92} 、及びスイッチングデバイス Q_{93} 、 Q_{94} からなる。キャパシタ C_{91} のキャパシタンスは、駆動の対象となる全てのセルCの静電容量の総和と比べて十分に大きい値（例えば数十倍）である。インダクタ L_{91} はLC共振を利用して電位の推移を振幅拡大し、高速化するために設けられている。

50 【0007】キャパシタ C_{91} に十分な量の電荷が蓄積されている状態でスイッチングデバイス Q_{93} をオンすると、LC共振によってキャパシタ C_{91} から主電極 X_j へセルCのもつ静電容量を充電する電流（これを容量充電電流という）が流れ、主電極 X_j の電位が上昇する。次にスイッチングデバイス Q_{93} に代えてスイッチングデバイス Q_{91} をオンすると、電源ラインからセル

Cへ容量充電電流が流れ、主電極X jの電位がさらに上昇する。セルCの静電容量の端子間電圧が点灯維持電圧V_sに達して充電が終わった時点から若干遅れてガス放電が起こり、それにもなってガス放電電流（これを発光電流という）が流れる。図では1つの主電極対のみが示されているが、実際には画面内の全ての主電極対が一斉に駆動される。ガス放電の開始時期にはセル間のバラツキがあるので、発光電流の波形は比較的になだらかである。これに対して静電容量の充電はほぼ一斉に始まるので、容量充電電流の波形は急峻である。次に、スイッチングデバイスQ 9 1に代えてスイッチングデバイスQ 9 4をオンすると、LC共振によってセルCからキャパシタC 9 1を充電する電流（これを容量放電電流という）が流れ、主電極X jの電位が降下する。続いてスイッチングデバイスQ 9 4に代えてスイッチングデバイスQ 9 2をオンすると、セルCから接地ラインへ容量放電電流が流れ、主電極X jの電位が接地電位まで下がる。その後、主電極Y jについても同様の手順で電力回収回路9 5'及びスイッチングデバイスQ 9 1'、Q 9 2'の制御を行ってガス放電を生じさせる。

【0008】このように主電極X jと主電極Y jとを交互に電源ラインと接続することによって点灯状態が維持され、その際に電力回収回路9 5, 9 5'を適切に制御することによって消費電力が低減される。

【0009】

【発明が解決しようとする課題】上述の点灯状態の維持において、適切な強度のガス放電を生じさせるには、ガス放電の開始時点までに主電極X j又は主電極Y jの電位を十分に立ち上げる必要がある。特に実効電圧が放電開始電圧を越えてからガス放電の生じるまでの放電遅れ時間が短い場合には、インダクタL 9 1のインダクタンスを小さくして共振周波数を高くしなければならない。しかし、共振周波数が高い場合には、電力回収回路9 5, 9 5'の制御タイミングが少しでもずれると、一旦回収された電荷がセルCに戻ってしまい、電力回収効率が低下する。制御タイミングやインダクタンスは使用環境の温度変化の影響を受けるので、実際には電力回収効率を最大値に保つのは難しい。

【0010】また、従来ではインダクタ（コイル）L 9 1が駆動回路の小型化及び低価格化の妨げとなっていた。さらに、LC共振を利用して電位の高速に推移させて電力回収を行う従来の駆動方法は、アドレッシングに適用できないという問題もあった。点灯状態の維持における主電極X j, Y jに対する電圧印加のパターンは一定であるが、アドレッシングにおけるアドレス電極に対する電圧印加のパターンは表示内容によって異なるので、アドレス電極どうしの間の静電容量が不定となり、共振周波数を設定することができないからである。画面の行数が増加するにつれてアドレッシングのためのガス放電の回数も増加するので、アドレッシングでの電力回

収は重要である。

【0011】本発明は、電力回収効率の安定化を図ることを目的としている。他の目的はインダクタを用いずに高速に電極の電位を推移させることにある。さらに他の目的は、複数のセルに対する電圧印加のパターンに係わらず電力回収を行って消費電力を低減することにある。

【0012】

【課題を解決するための手段】本発明においては、電極の電位を推移させる際に、推移開始時点の電位との電位差が推移開始時点の電位と目標電位との電位差より大きい所定電位の端子に電極を電氣的に接続する。これにより、目標電位の端子と接続する場合と比べて短い時間内に電極の電位が目標電位に達する。容量素子（キャパシタ）の第1端子を上述の所定電位の端子として電極に接続し、第2端子の電位を切り換えることにより、電力の回収とセルの充電とを行う。容量素子のキャパシタンスを駆動の対象となるセルの静電容量の総和の1.5程度の比較的に小さい値に選定すれば、容量素子からセルへの電荷移動（充電）に伴って容量素子の端子間電圧が下がるので、第2端子の電位を回収時の電位に切り換えたときに、電極と第1端子との電位差が端子間電圧の降下分だけ大きくなり、電位の推移が高速になる。

【0013】請求項1の発明の方法は、画面を構成するセルでガス放電を生じさせるための電極と第1電位ラインとの間及び前記電極と第2電位ラインとの間にそれぞれ開閉回路を設け、これら開閉回路の開閉によってガス放電を制御し、前記電極と前記第1電位ラインとの接続に先立って電力回収用の容量素子から前記セルへ電荷を移動させる充電を行い、前記電極と前記第2電位ラインとの接続に先立って前記セルから前記容量素子へ電荷を移動させる電力回収を行うプラズマディスプレイパネルの駆動方法であって、前記容量素子の第1端子を前記電極に接続するとともに、当該容量素子の第2端子を、前記第2電位ラインより低く且つ当該第2電位ラインと電位差が前記第1電位ラインと当該第2電位ラインとの電位差より大きい電位に一時的に固定することによって前記電力回収を行い、充電状態の前記容量素子の第1端子を前記電極に接続するとともに、当該第1端子の電位が前記第1電位ラインよりも高くなるように前記第2端子の電位を一時的に固定することによって前記充電を行うものである。

【0014】請求項2の発明の駆動方法は、前記充電に伴って前記容量素子の端子間電圧が設定値以下に低下するように当該容量素子のキャパシタンスを選定するものである。

【0015】請求項3の発明の駆動方法は、前記充電の終了後に前記第1端子を一時的に電源と接続し、当該第1端子の電位を前記第2電位ラインと同一化するものである。

【0016】請求項4の発明の駆動方法において、前記

電極は、行単位のアドレッシングに際して各列におけるガス放電の有無を設定するためのデータ電極である。請求項5の発明の駆動方法は、前記画面を行方向に複数の領域に区画し、当該各領域毎に前記開閉回路及び前記容量素子を設けるものである。

【0017】請求項6の発明の駆動方法において、前記電極は、交番極性の電圧印加によって点灯状態を維持するための維持電極である。

【0018】

【発明の実施の形態】図1は本発明に係るプラズマ表示装置100の構成図である。プラズマ表示装置100は、フラット型カラー表示デバイスであるAC型のPDP1と、m列n行の画面（スクリーン）を構成する縦横に並んだセルCを選択的に点灯させるための駆動ユニット80とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

【0019】例示のPDP1は、対をなす第1及び第2の主電極X、Yが平行配置され、各セルCにおいて主電極X、Yと第3の電極としてのアドレス電極Aとが交差する“3電極面放電構造”のPDPである。主電極X、Yはともに画面の行方向（水平方向）に延び、一方の主電極Yはアドレッシングに際して行単位にセルCを選択するためのスキャン電極として用いられる。アドレス電極Aは列方向（垂直方向）に延びており、列単位にセルCを選択するためのデータ電極として用いられる。基板面のうちの主電極群とアドレス電極群とが交差する範囲が画面（すなわち表示領域）となる。

【0020】駆動ユニット80は、スキャンコントローラ81、共通ドライバコントローラ82、データ処理回路83、電源回路84、X共通ドライバ85、スキャンドライバ86、Y共通ドライバ87、及びアドレスドライバ89を有している。駆動ユニット80には、TVチューナ、コンピュータなどの外部装置からR、G、Bの各色の輝度レベル（階調レベル）を示す画素単位のフィールドデータDFが各種の同期信号とともに入力される。なお、駆動ユニット80はPDP1の背面側に配置され、各ドライバと電極とが図示しないフレキシブルケーブルで電氣的に接続される。

【0021】フィールドデータDFは、データ処理回路83におけるフレームメモリ830に一旦格納された後、後述のようにフィールドを所定数のサブフィールドに分割して階調表示を行うためのサブフィールドデータDs fに変換される。サブフィールドデータDs fはフレームメモリ830に格納され、適時にアドレスドライバ89に転送される。サブフィールドデータDs fの各ビットの値は、サブフィールドにおけるセルの点灯の要否を示す情報、厳密にはアドレス放電の要否を示す情報である。

【0022】X共通ドライバ85は画面全体又は画面を

分割した各区画に対応する複数の主電極Xに一括に駆動電圧を印加する。主電極Xの電氣的な共通化は図示のようなパネル上の配線に限られず、X共通ドライバ85の内部配線、又は接続用ケーブル上での配線により行うことができる。スキャンドライバ86はアドレッシングにおいて各主電極Yに個別に駆動電圧を印加する。Y共通ドライバ87は点灯維持に際して画面全体又は画面を分割した各区画に対応する複数の主電極Yに一括に駆動電圧を印加する。また、アドレスドライバ回路89はサブフィールドデータDs fに応じて計m本のアドレス電極Aに選択的に駆動電圧を印加する。これらドライバには電源回路85から図示しない配線導体（電源ライン、接地ライン）を介して所定の電力が供給される。共通ドライバコントローラ82には、X共通ドライバ85及びY共通ドライバ87に与える制御信号のタイミングを規定するデータを記憶した波形ROM820が設けられている。

【0023】図2はPDP1の内部構造を示す斜視図である。PDP1では、前面側基板構体の基材であるガラス基板11の内面に、行毎に一对ずつ主電極X、Yが配列されている。行は画面における水平方向のセル列である。主電極X、Yは、それぞれが透明導電膜41と金属膜（バス導体）42とからなり、低融点ガラスからなる厚さ30 μ m程度の誘電体層17で被覆されている。誘電体層17の表面にはマグネシア（MgO）からなる厚さ数千オングストロームの保護膜18が設けられている。アドレス電極Aは、背面側基板構体の基材であるガラス基板21の内面に配列されており、厚さ10 μ m程度の誘電体層24によって被覆されている。誘電体層24の上には、高さ150 μ mの平面視直線帯状の隔壁29が各アドレス電極Aの間に1つずつ設けられている。これらの隔壁29によって放電空間30が行方向にサブピクセル（単位発光領域）毎に区画され、且つ放電空間30の間隙寸法が規定されている。そして、アドレス電極Aの上方及び隔壁29の側面を含めて背面側の内面を被覆するように、カラー表示のためのR、G、Bの3色の蛍光体層28R、28G、28Bが設けられている。放電空間30には主成分のネオンにキセノンを混合した放電ガスが充填されており、蛍光体層28R、28G、28Bは放電時にキセノンが放つ紫外線によって局部的に励起されて発光する。表示の1ピクセル（画素）は行方向に並ぶ3個のサブピクセルで構成される。各サブピクセル内の構造体がセル（表示素子）Cである。隔壁29の配置パターンがストライプパターンであることから、放電空間30のうちの各列に対応した部分は全ての行Lに跨がって列方向に連続している。

【0024】以下、プラズマ表示装置100におけるPDP1の駆動方法を説明する。最初に階調表示及び駆動シーケンスの概要を説明し、その後本発明に特有の回路構成及び制御を詳述する。

【0025】図3はフィールド構成と駆動シーケンスの概要とを示す図である。例えばテレビジョン映像の表示においては、2値の点灯制御によって階調再現を行うために、入力画像である時系列の各フィールドf（符号の添字は表示順位を表す）を例えば8個のサブフレームsf1, sf2, sf3, sf4, sf5, sf6, sf7, sf8に分割する。言い換えれば、フレームFを構成する各フィールドfを8個のサブフレームsf1～sf8の集合に置き換える。ただし、コンピュータ出力などのノンインタレース形式の画像を再生する場合には、各フレームを8分割する。そして、これらサブフィールドsf1～sf8における輝度の相対比率が1:2:4:8:16:32:64:128となるように重み付けをして各サブフィールドsf1～sf8のサステイン放電回数を設定する。サブフィールド単位の点灯／非点灯の組合せでRGBの各色毎に256段階の輝度設定を行うことができるので、表示可能な色の数は 256^3 となる。なお、サブフィールドsf1～sf8を輝度の重みの順に表示する必要はない。例えば重みの大きいサブフィールドsf8を表示期間の中間に配置するといった最適化を行うことができる。

【0026】各サブフィールドsf1～sf8に割り当てるサブフィールド期間Ts fは、帯電分布を均一化するアドレッシング準備期間TR、表示内容に応じた帯電分布を形成するアドレス期間TA、及び階調レベルに応じた輝度を確保するために点灯状態を維持するサステイン期間TSからなる。これらのうち、サステイン期間TSにおける主電極X、Yの制御、及びアドレス期間TAにおけるアドレス電極Aの制御が本発明の実施に好適である。各サブフィールド期間Ts fにおいて、アドレッシング準備期間TR及びアドレス期間TAの長さは輝度の重みに係わらず一定であるが、サステイン期間TSの長さは輝度の重みが大きいほど長い。つまり、1つのフィールドfに対応する8つのサブフィールド期間Ts fの長さは互いに異なる。

【0027】アドレッシング準備期間TRにおいては、主電極Xに正極性の電圧パルスPrを印加する第1過程と、主電極Xに正極性の電圧パルスPrxを印加し且つ主電極Yに負極性の電圧パルスPr yを印加する第2過程とによって、1つ前のサブフィールドにおいて点灯した“前回点灯セル”及び点灯しなかった“前回非点灯セル”に所定の極性の壁電荷が形成される。なお、第1過程ではアドレス電極Aを50～120V程度の正電位にバイアスし、アドレス電極Aと主電極Xとの間の不要の放電を防止する。第2過程に続いて、帯電の均一性を高めるため、主電極Yに正極性の電圧パルスPr sを印加して全てのセルで面放電を生じさせる。この面放電によって帯電極性は反転する。その後、電荷の消失を避けるため、主電極Yの電位を所定値まで緩やかに低減させる。

【0028】アドレス期間TAにおいては、1行ずつ順に各行を選択し、該当する主電極Yに負極性のスキャンパルスPyを印加する。行の選択と同時に、非点灯とすべきセル（今回非点灯セル）に対応したアドレス電極Aに対して正極性のアドレスパルスPaを印加する。選択された行におけるアドレスパルスPaの印加されたセルでは、主電極Yとアドレス電極Aとの間で対向放電が起こって誘電体層17の壁電荷が消失する。アドレスパルスPaの印加時点では主電極Xの近傍には正極性の壁電荷が存在するので、その壁電圧でアドレスパルスPaが打ち消され、主電極Xとアドレス電極Aの間では放電は起きない。このような消去アドレッシングは、書込みアドレッシングとは違って電荷の再形成が不要であるので、高速化に適している。

【0029】サステイン期間TSにおいては、不要の放電を防止するために全てのアドレス電極Aを正極性の電位にバイアスし、最初に全ての主電極Xに正極性のサステインパルスPsを印加する。その後、主電極Yと主電極Xとに対して交互にサステインパルスPsを印加する。本実施形態では、最終のサステインパルスPsは主電極Yに印加される。サステインパルスPsの印加によって、アドレス期間TAにおいて壁電荷の残されたセル（今回点灯セル）で面放電が生じる。

【0030】図4は点灯維持動作に係わる駆動回路構成の概略図である。サステイン期間TSにおいては、主電極Yの集合である電極群YGがスキャンドライバ86を介してY共通ドライバ87と接続される。Y共通ドライバ87は電力回収回路150を含んでいる。主電極Xの集合である電極群XGは上述のようにX共通ドライバ85によって駆動される。X共通ドライバ85も電力回収回路150を含んでいる。Y共通ドライバ87の基本的な回路構成はX共通ドライバ85と同一であるので、以下では一方の構成のみについて説明する。

【0031】図5は本発明に係る回路構成の第1例を示す図である。X共通ドライバ85は、電極群XGにサステインパルスPsを印加するための一対のスイッチング素子Q1, Q2、逆流防止用のダイオードD1, D2、及び本発明に特有の電力回収回路150からなる。スイッチング素子Q1, Q2及び電力回収回路150の動作は、上述の共通ドライバコントローラ82からのスイッチング信号S1, S2, S3, S4によって制御される。パルス印加に係わる基本動作は次のとおりである。スイッチング素子Q1をオンすると、点灯維持電圧Vsに相当する電位v1の電源ライン51からスイッチング素子Q1とダイオードD1とを通過して電極群XGに容量充電電流が流れる。充電の速度は、電流路の寄生インピーダンス（抵抗成分とインダクタンス成分の直列合成値）Z1と主電極間の静電容量Cxyとに依存する。寄生インピーダンスZ1は回路配線と電極のパターンにより決まり、通常は無視できない値である。このとき、電

極群Y Gは接地ライン (GND) 5 2と接続されており、実効電圧が上昇してガス放電が生じると、電源ライン5 1から接地ライン5 2へ発光電流が流れる。一方、電極群Y Gが電源ライン5 1と接続されるとき、すなわち電極群Y GにサステインパルスP sを印加するときには、スイッチング素子Q 2がオンされる。これにより、電極群X GからダイオードD 2とスイッチング素子Q 2とを通過して接地ライン5 2に発光電流が流れる。このようなパルス印加に際して、静電容量C x yの充電に費やした電力を再利用するために電力回収回路1 5 0が設けられている。

【0 0 3 2】電力回収回路1 5 0は、キャパシタC 1と2個のスイッチング素子Q 3, Q 4からなるチャージポンプ回路である。キャパシタC 1の一方の端子p 2は電極群X Gと接続され、他方の端子p 1はスイッチング素子Q 3, Q 4に接続されている。スイッチング素子Q 3は端子p 1と設定電位v 2の電源端子との導通を制御するために設けられ、スイッチング素子Q 4は端子p 1と設定電位v 3の電源端子との導通を制御するために設けられている。設定電位v 3は、電源ライン5 1の電位v 1と反対極性であり、接地電位との電位差が接地ライン5 2と電源ライン5 1との電位差より大きい値に選定される。設定電位v 3と接地電位との電位差が大きいほどセルの充電が高速になる。例示では、設定電位v 3と接地電位との電位差が点灯維持電圧V sの2倍とされている。設定電位v 2は、充電状態(電力回収状態)のキャパシタC 1の端子p 2を電位v 1より高い電位にバイアスできるように選定される。ここでいう“高い”とは接地ラインとの電位差が大きいことを意味する。例示では、設定電位v 2は接地電位とされている。

【0 0 3 3】図6は図5に対応した駆動のタイミングを示す波形図である。ここでは、キャパシタC 1のキャパシタンスが、主電極間の静電容量C x yの1. 5倍程度の比較的小さい値に選定されているものとする。

【0 0 3 4】まず、スイッチング素子Q 2, Q 4がオンであり、キャパシタC 1には十分な電荷が蓄積されてキャパシタC 1の端子間電圧が2 V sになっている状態を想定する。この状態でスイッチング素子Q 2, Q 4をオフした後に、スイッチング素子Q 3をオンすると、キャパシタC 1の端子p 1の電位はv 3 (−2 V s) から接地電位 (0 ボルト) に上昇して固定される。スイッチング素子のオン抵抗が十分に小さく、高速のスイッチングが行われるならば、端子p 2の電位も同時に2 V sだけ上昇する。このときキャパシタC 1からインピーダンスZ 1を経由して静電容量C x yに電流が流れ、主電極X上の点p 3の電位は2 × V s + V αに相当する電位に向けて上昇する。V αはインピーダンスZ 1中のインダクタンス成分により決まり、V sより十分に小さい (V s ≫ V α)。この上昇速度はキャパシタC 1、静電容量C x y、インピーダンスZ 1、及び端子p 2の電位によ

て決まる。静電容量C x yに対してキャパシタC 1のキャパシタンスが十分に大きく、インピーダンスZ 1中のインダクタンス成分が小さいとすると、キャパシタC 1から静電容量C x yへの充電に際して端子p 2の電位はほとんど変化せず、時定数τはC x y × Z 1となる。

【0 0 3 5】ここで、仮に設定電位v 3が点灯維持電圧V sの1倍に相当する値、すなわち電極群X Gのバイアスの目標電位と同値であったとすると、キャパシタC 1のキャパシタンスが十分に大きい場合でも、スイッチング素子Q 3をオンにした後、時間τが経過しても点p 3の電位は0. 6 3 × V sに相当する値までしか達せず、時間3 τが経過しても0. 9 5 × V sに相当する値までしか達しない。すなわち従来と比べて立ち上がりの遅い駆動波形となってしまう。

【0 0 3 6】これに対して、本発明では、設定電位v 3を接地ライン5 2との電位差が点灯維持電圧V sより大きくなるように設定するので (例示は2倍)、立ち上がりの速い駆動波形となる。また、キャパシタC 1のキャパシタンスが1. 5 × C x yであるので、キャパシタC 1から静電容量C x yへの充電に際して端子p 2の電位はV s / 2に相当する分だけ下がって1. 5 × V sに相当する値になる。したがって、V sに相当する電位よりも高い電位に向けての電圧変化であり電圧V sにはより速い時間で到達できる。1. 5 × V sへ向けて点p 3の電位は上昇し、1. 1 × τの経過時点で点p 3の電位がV sまで達する。さらに本発明では、点p 3の電位がV sに達するタイミングに合わせてスイッチング素子Q 3のオフとスイッチング素子Q 1のオンとを行う。スイッチング素子Q 3をオフにすると端子p 1はフローティングとなる。このときキャパシタC 1にはまだ電荷が残っているので、端子p 1の電位は端子p 2に対しV s / 2分だけ低い値 (−V s / 2) になる。このとき、スイッチング素子Q 1のオンにすることで、点p 3の電位をV sに相当する値に保持する。点p 3の電位が所定の放電開始電圧に達してから時間T dだけ遅れて主電極間でガス放電が起こる。発光電流は電源ライン5 1から供給される。

【0 0 3 7】ガス放電が起こった後、スイッチング素子Q 1をオフし、続いてスイッチング素子Q 4をオンすると端子p 1の電位はv 3 (−2 V s) に固定され、端子p 2の電位も同時に3 V s − V s / 2だけ降下して−V s / 2に達する。このとき、静電容量C x yからインピーダンスZ 1を経由して、キャパシタC 1に電流が放出され、点p 3の電位は−V s / 2に向けて降下する。

【0 0 3 8】上述の立ち上がりと同様に立ち下がり時間は1. 1 × τである。点p 3の電位が接地電位に達した時点でスイッチング素子Q 2をオンして点p 3を接地電位に固定する。点p 3が接地電位に達した時点において、静電容量C x yに充電されていた電荷は全てキャパシタC 1に回収されていることになる。

【0039】以上の動作において、 $C_{xi} \gg C_{xy}$ の場合には、静電容量 C_{xy} の充電はより高速に行えるが、充電に費やした電荷を回収するときには、キャパシタ C_1 の端子間電圧が $2V_s$ のままであり、端子 p_2 の電位は接地電位になるため、静電容量 C_{xy} からキャパシタ C_1 への電荷放出は遅くなる。このため本発明ではキャパシタ C_1 のキャパシタンスは静電容量 C_{xy} よりも大きくかつ、近い値に選定する。なお、Y共通ドライバ87については、X共通ドライバ85と位相が 180° ずれたタイミングでスイッチング素子 $Q_1 \sim Q_4$ のオンオフが行われる。

【0040】図7は本発明に係る回路構成の第2例を示す図である。例示のX共通ドライバ85bの基本構成は、上述した図5のX共通ドライバ85と同様であり、電力回収回路の構成に差異がある。X共通ドライバ85bの電力回収回路150bは、キャパシタ C_1 に電荷を充電するためスイッチング素子 Q_5 及び逆流防止用ダイオード D_3 を有している。スイッチング素子 Q_5 はキャパシタ C_1 の端子 p_2 と設定電位 v_4 の電源端子との間の電流路を開閉する。

【0041】図8は図7に対応した駆動のタイミングを示す波形図である。図8においても図5、図6の例と同様に、設定電位 v_2 を接地電位とし、設定電位 v_3 を $-2V_s$ に相当する値とし、キャパシタ C_1 のキャパシタンスを $1.5 \times C_{xy}$ とする。また、設定電位 v_4 を接地電位とする。

【0042】まず、スイッチング素子 Q_2 、 Q_4 がオンであり、キャパシタ C_1 には十分な電荷が蓄積されてキャパシタ C_1 の端子間電圧が $2V_s$ になっている状態を想定する。図6で説明したとおり、キャパシタ C_1 から静電容量 C_{xy} への電荷の充電と、静電容量 C_{xy} からキャパシタ C_1 への電荷放出（回収）を行う。その電荷移動において、実際にはインピーダンス Z_1 などで電流が消費され、キャパシタ C_1 から充電のために流れ出て行った電荷量よりも回収される電荷量が少なくなる。すなわち、スイッチング素子 Q_4 をオンにしたとき、静電容量 C_{xy} からキャパシタ C_1 へ電荷が回収された後、点 p_3 の電位は接地電位よりも V_d だけ低い電位になる。そこで、本例では、スイッチング素子 Q_4 をオンにした後、点 p_3 の電位が接地電位に達するタイミングにおいて、スイッチング素子 Q_5 をオンすることによって、設定電位 v_4 （0ボルト）の電源端子から電流を供給し、消費された電流分を補充して点 p_3 の電位を V_d だけ上昇させ接地電位になるようにする。

【0043】図9は本発明に係る回路構成の第3例を示す図である。図9の例は、図5の電力回収回路150をアドレスドライバ89に適用したものである。アドレスドライバ89では、データ処理回路83（図1参照）からのサブフィールドデータ D_{sf} 及び制御信号に従ってデータコントロール回路891がスイッチング素子 Q_i

1, Q_{i2} ($i=1 \sim m$) をオンオフ制御し、それによってアドレス電極 A_i がアドレス電圧 V_a に相当する電位 v_1 又は接地電位に制御される。なお、データコントロール回路891及びスイッチング素子 Q_{i1} , Q_{i2} はアドレスドライバLSIとして集積化されている。

【0044】図10は図9に対応した駆動のタイミングを示す波形図である。この例では、アドレス電極 A_1 , A_2 に0または1のデータが入力され、その他のアドレス電極 $A_3 \sim A_m$ は0固定とする。アドレス電極 A_1 とアドレス電極 A_2 のデータが異なるときのみ電極間容量（セル容量） C_{aa} が発生する。

【0045】図9においても図5、図7で示したと同様に、回路配線、電極パターンで決まるインピーダンス Z_2 が電流経路中に存在する。電源側から見た場合、このインピーダンス Z_2 も静電容量 C_{aa} と同様に表示内容（入力データ）によって変化し、静電容量 C_{aa} が発生する電極にのみインピーダンス Z_2 が発生するという関係となる。

【0046】図10のようにサブフィールドデータ D_{sf} が入力され、 $A_1 = A_2 = 0$ から $A_1 = 1$, $A_2 = 0$ へと変化する場合、アドレスドライバLSIのスイッチング素子 Q_{11} がオンすると同時に電力回収回路150のスイッチング素子 Q_2 を一時的にオンする。また、 $A_1 = 0$, $A_2 = 0$ へと変化する前にスイッチング素子 Q_3 を一時的にオンする。上述の動作と同様に、キャパシタ C_1 からアドレス電極 A_1 , A_2 間の静電容量 C_{aa} への充電によりアドレス電極 A_1 は電位 v_1 になり、静電容量 C_{aa} からキャパシタ C_1 へ電荷放出により接地電位に戻る。

【0047】スイッチング素子 Q_{i1} , Q_{i2} が例えばFETの場合、逆方向の寄生ダイオードを内蔵しているため、スイッチング素子 Q_3 をオンしたときスイッチング素子 Q_{11} がオフであっても、静電容量 C_{aa} からアドレス電極 A_1 及びこの寄生ダイオード経由でキャパシタ C_1 へ電荷を戻すことができる。次のタイミングでアドレス電極 A_1 , A_2 がともに0となる時は、静電容量 C_{aa} は発生しないので電流の移動は無い。さらに $A_1 = 0$, $A_2 = 1$ となる時は、同様に容量充放電電流が流れる。ここで放電電流は電位 v_1 の電源から供給される。

【0048】図11は本発明に係る回路構成の第4例を示す図である。図11の例は、図7の電力回収回路150bをアドレスドライバ89bに適用し、ダイオード D_1 , D_2 の間にダイオード D_3 , D_4 を設けたものである。

【0049】上述のようにスイッチング素子 Q_{i1} , Q_{i2} の寄生ダイオードを電流路に利用した場合、リカバリータイム（応答速度）が遅いので、この寄生ダイオード経由でキャパシタ C_1 へ電荷を戻そうとしても、所定時間内に電荷を十分回収できない。そこで、本発明で

は、接地ライン（GND）へ直接接続せずにアドレスドライバLSIの接地側電源端子（VDL）をスイッチング素子Q2経由で接地ラインへ接続し、スイッチング素子Q2がオフのとき、接地側電源端子を経由して静電容量CaaからキャパシタC1へ電荷を戻す構成とした。

【0050】図12は図11に対応した駆動のタイミングを示す波形図である。図12において、スイッチング素子Q3、Q4、Q1の制御の位相をスイッチング素子Qi1、Qi2の位相に対し時間Td2だけ遅らせる。これによりアドレス電極A1、A2の波形も時間Td2だけ遅れることになる。図中の時間Td2の期間でスイッチング素子Q12とスイッチング素子Q4が同時にオンとなっており、静電容量Caaのから接地側電源端子経由でキャパシタC1へ電荷を回収することができる。

【0051】図13は本発明に係る回路構成の第5例を示す図である。図13の例は、図7の電力回収回路150bとスキンドライバ86との接続例である。アドレス期間TAにおいて、シフトレジスタ回路871はスイッチング素子Qj1、Qj2（j=1～n）を制御して主電極Yjを順に電源VDHに接続する。サステイン期間TSにおいて、シフトレジスタ回路871はスイッチング素子Qj1、Qj2をオフし、主電極Yjをアドレッシング用の電源から切り離す。キャパシタC1の一方の端子p2は、ダイオードD3、D4及びダイオードDj1、Dj2によって双方向の電荷移動が可能に各主電極Yjと接続されている。

【0052】図14は本発明に係る回路構成の第6例を示す図である。アドレス電極A1～Amを複数のグループに分け、グループ毎にアドレスドライバLSIと電力回収回路150b（又は150）を設けることができる。これによれば、電力回収回路1個当たりのアドレス電極間静電容量の和を小さくすることができ、容量充放電の速度を早めることができる。

【0053】以上の各例の他の実施形態としては、図5又は図7のX共通ドライバ及びY共通ドライバを持ち、図9又は図11のアドレスドライバを有し、これらのドライバの制御のための波形ROMを有する駆動ユニットがある。

【0054】

【発明の効果】請求項1乃至請求項6の発明によれば、電力回収効率の安定化を図ることができるとともに、インダクタを用いずに高速に電極の電位を推移させることができる。さらに複数のセルに対する電圧印加のパターンに係わらず電力回収を行って消費電力を低減すること

ができるので、例えばアドレッシングにおけるデータ電極間の静電容量についての電力回収を実現し、消費電力の大幅な低減を図ることができる。

【図面の簡単な説明】

【図1】本発明に係るプラズマ表示装置の構成図である。

【図2】PDPの内部構造を示す斜視図である。

【図3】フィールド構成と駆動シーケンスの概要とを示す図である。

10 【図4】点灯維持動作に係わる駆動回路構成の概略図である。

【図5】本発明に係る回路構成の第1例を示す図である。

【図6】図5に対応した駆動のタイミングを示す波形図である。

【図7】本発明に係る回路構成の第2例を示す図である。

【図8】図7に対応した駆動のタイミングを示す波形図である。

20 【図9】本発明に係る回路構成の第3例を示す図である。

【図10】図9に対応した駆動のタイミングを示す波形図である。

【図11】本発明に係る回路構成の第4例を示す図である。

【図12】図11に対応した駆動のタイミングを示す波形図である。

【図13】本発明に係る回路構成の第5例を示す図である。

30 【図14】本発明に係る回路構成の第6例を示す図である。

【図15】従来の駆動装置の要部の回路図である。

【図16】従来の駆動方法の信号波形図である。

【符号の説明】

1 PDP（プラズマディスプレイパネル）

ES 画面

C セル

X, Y 主電極（維持電極）

A アドレス電極（データ電極）

40 Q1, Q2 スwitchング素子（開閉回路の構成要素）

C1 キャパシタ（電力回収用の容量素子）

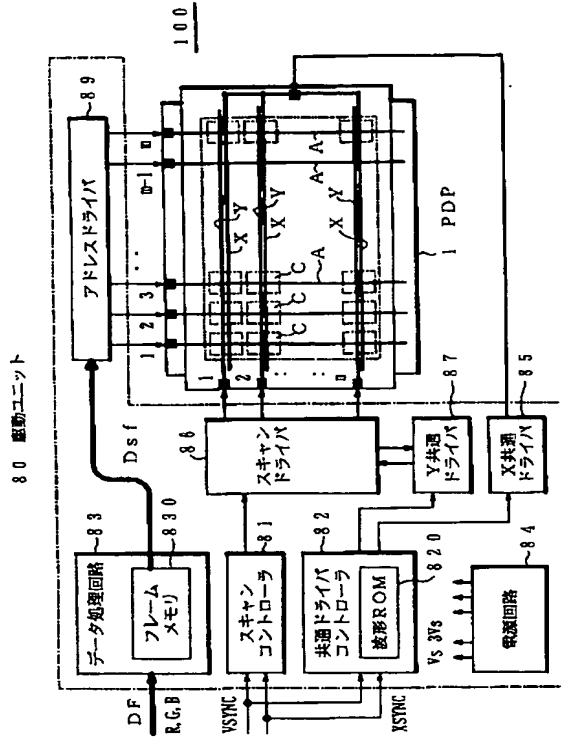
p2 第1端子

p1 第2端子

v3 電位

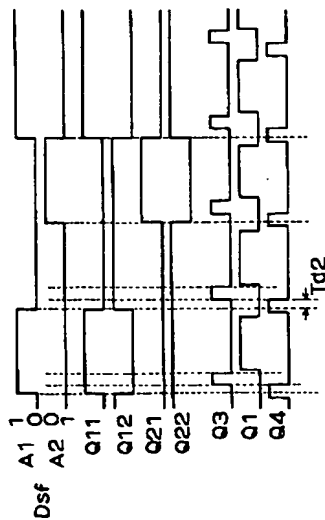
【圖 1】

本発明に係るプラズマ表示装置の構成図



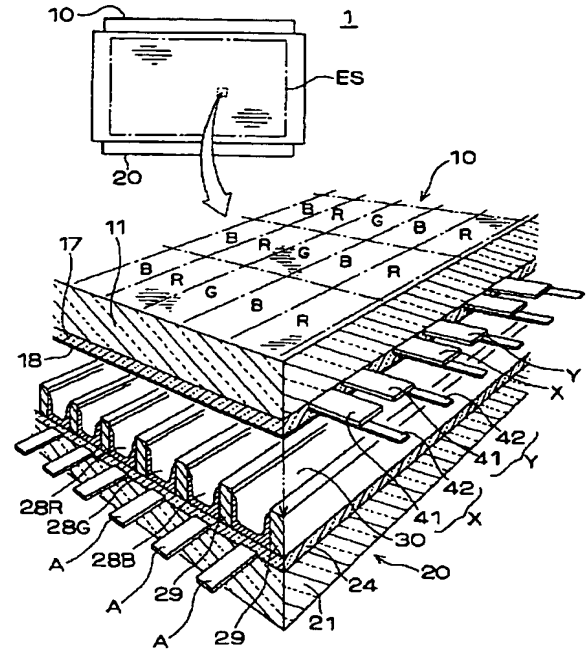
【图 12】

図 1 1 に対応した駆動のタイミングを示す波形図



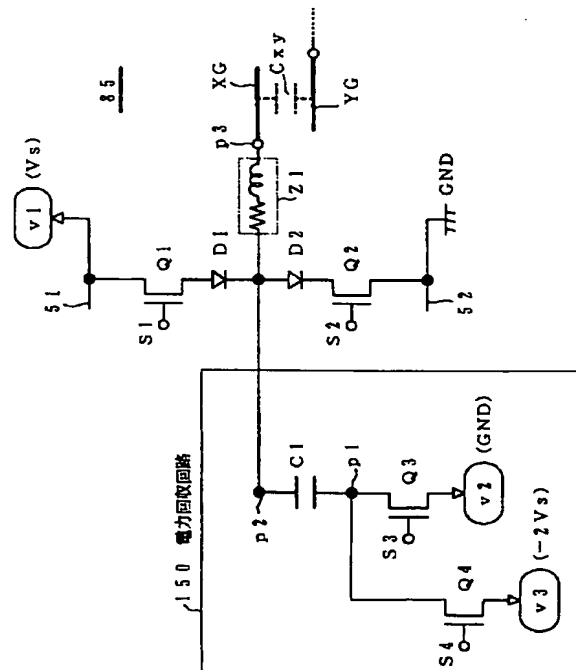
【圖 2】

本発明に係るPDPの内部構造を示す分解斜視図



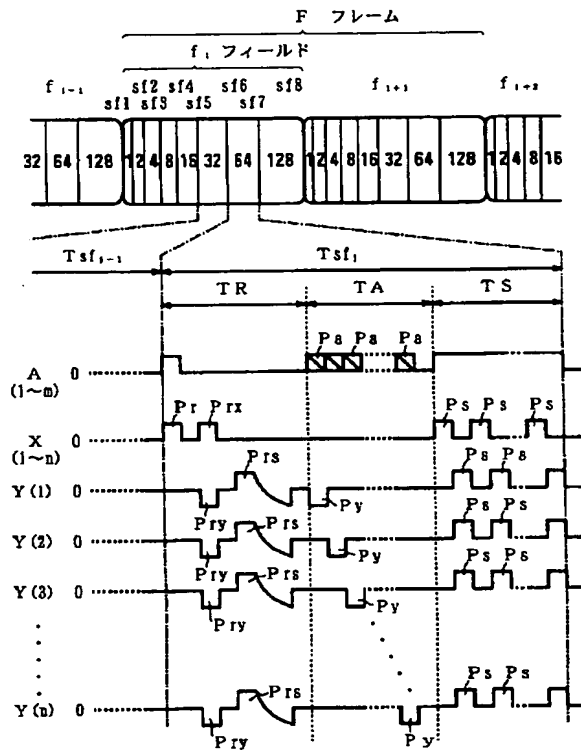
【図 5】

本発明に係る回路構成の第 1 例を示す図



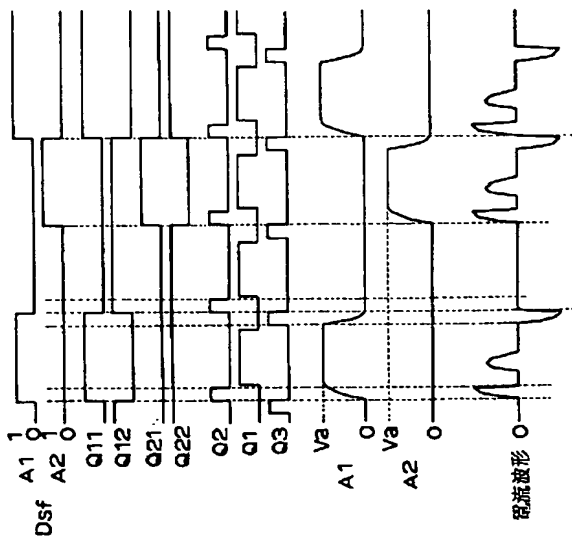
【図3】

フィールド構成と駆動シーケンスの概要とを示す図

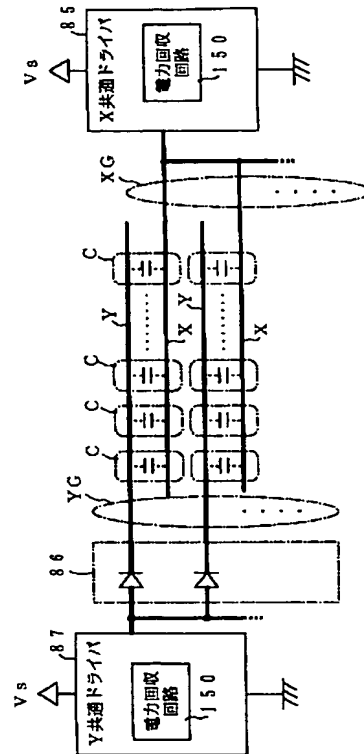


【図10】

図9に対応した駆動のタイミングを示す波形図

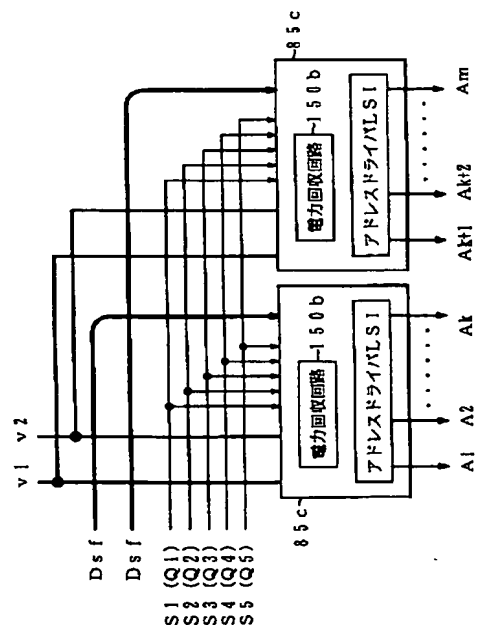


【図4】

点灯維持動作に係わる
駆動回路構成の概略図

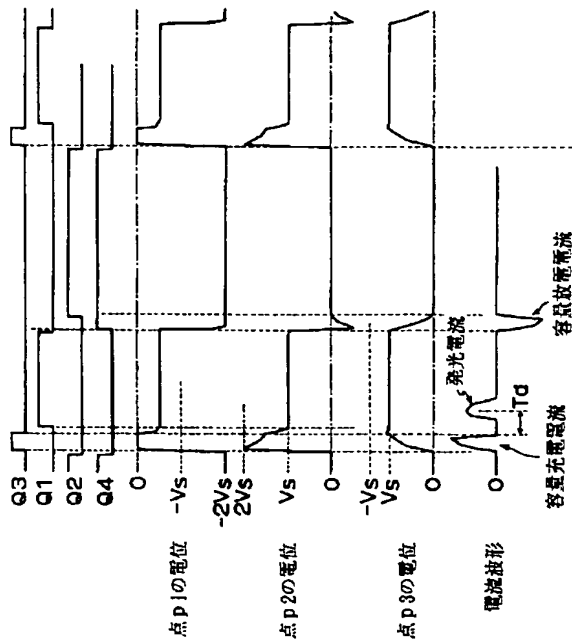
【図14】

本発明に係る回路構成の第6例を示す図



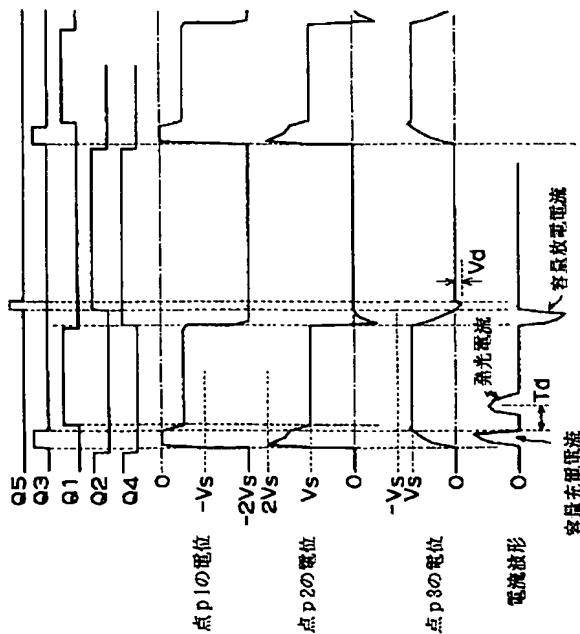
【図6】

図5に対応した駆動のタイミングを示す波形図



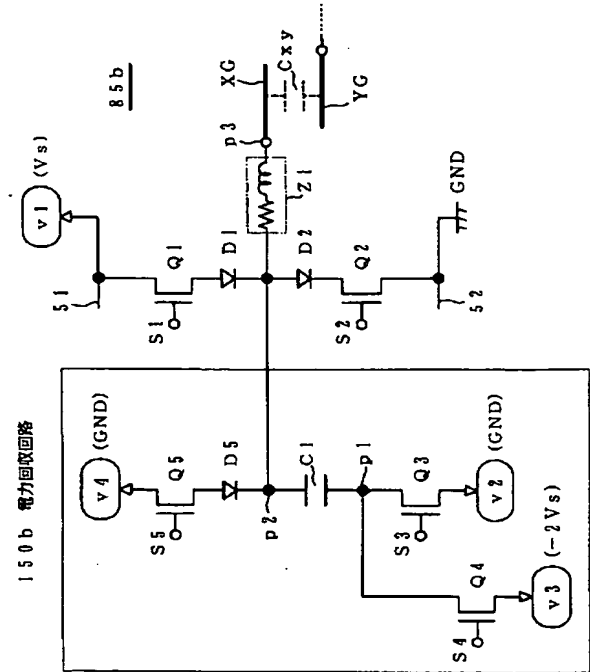
【図8】

図7に対応した駆動のタイミングを示す波形図



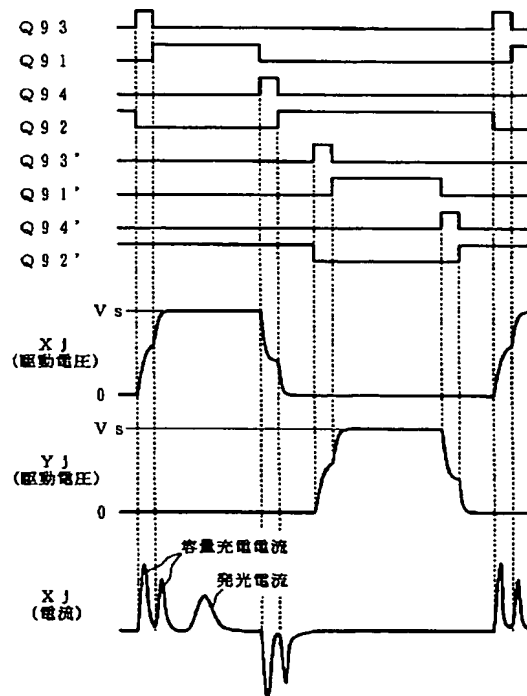
【図7】

本発明に係る回路構成の第2例を示す図



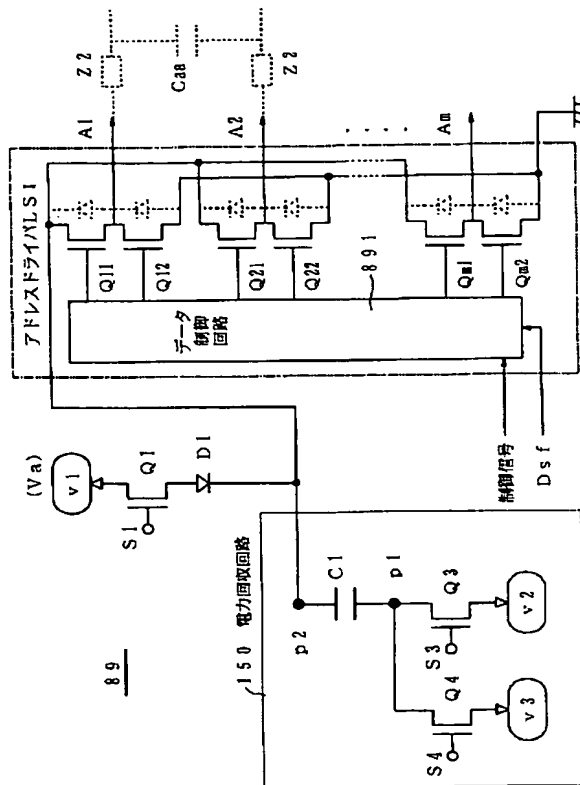
【図16】

従来の駆動方法の信号波形図



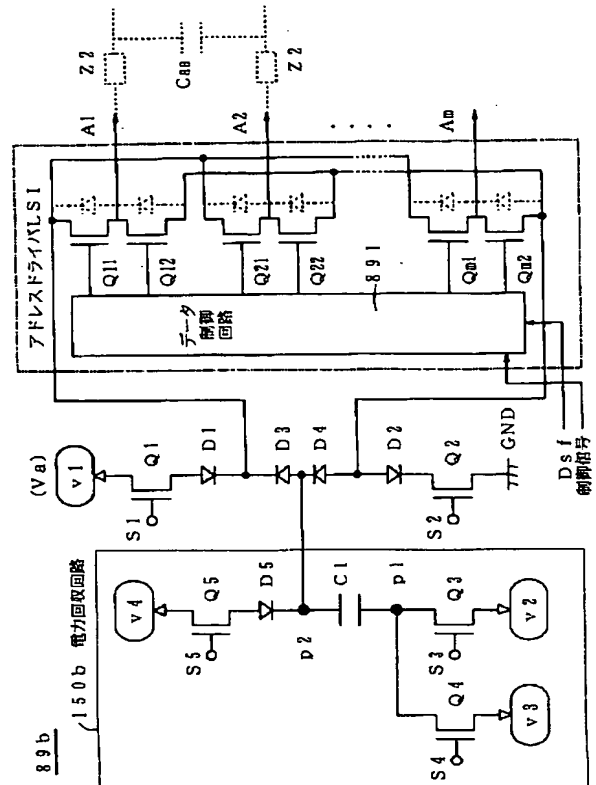
【図9】

本発明に係る回路構成の第3例を示す図



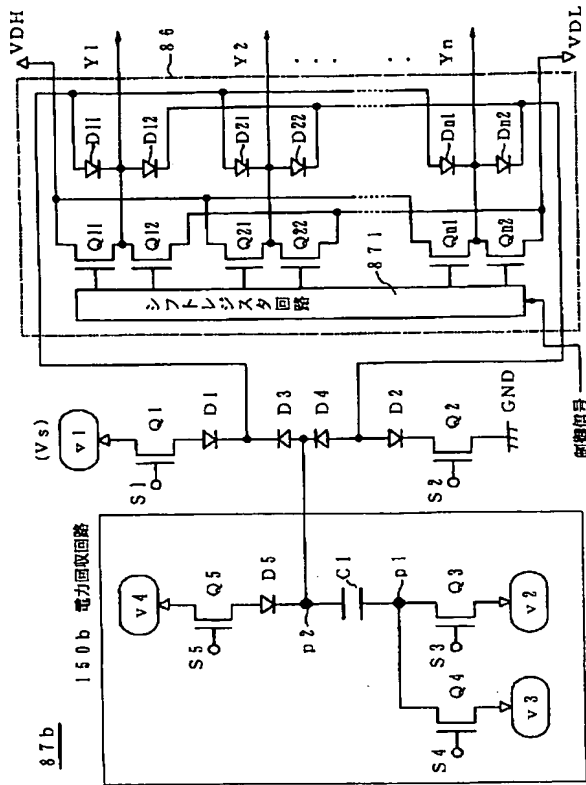
【図11】

本発明に係る回路構成の第4例を示す図



【図 13】

本発明に係る回路構成の第 5 例を示す図



【図 15】

従来の駆動装置の要部の回路図

